



# Diseño de compuertas lógicas cuaternarias CMOS en modo voltaje

María José Galindo Rodríguez

Facultad de Ingeniería Mecánica, Electrónica y Biomédica  
Programa de Ingeniería Electrónica  
Universidad Antonio Nariño  
Bogotá, Colombia  
2020



# Diseño de compuertas lógicas cuaternarias CMOS en modo voltaje

María José Galindo Rodríguez

Trabajo Integral de Grado presentado como requisito para optar al título de:  
**Ingeniero Electrónico**

Director:  
Ing. Mario Enrique Duarte PhD

Universidad Antonio Nariño  
Facultad de Ingeniería Mecánica, Electrónica y Biomédica  
Programa de Ingeniería Electrónica  
Bogotá, Colombia  
2019



**Nota de Aceptación**

---

---

---

---

---

---

**Firma del presidente del Jurado**

---

**Firma del Jurado 1**

---

**Firma del Jurado 2**

**Bogotá D.C.** \_\_\_\_\_



Este libro va dedicado a la mujer que con su lucha incansable hizo que todo esto fuera posible, esa mujer que me apoyo en todo, sin importar lo que fuera, la mujer que me dio la vida ¡Mi madre!.





# Agradecimientos

El agradecimiento primero para Dios por todas las bendiciones de cada día, a mi mamá por apoyarme en todo, por brindarme todo el amor, por darme tanta fuerza, por ser tan alcahuete, por viajar más de 3 horas hasta la universidad solamente porque yo necesitaba un abrazo (en tantas ocasiones), por estar en cada etapa, por hacer todo para sacarme adelante y a mis hermanos, y por tantas cosas que me podría pasar la vida escribiendo. Madre, sin ti nada de esto hubiese sido posible.

Quiero agradecer también a mi hermana Guiselle por ser mi cómplice en todo, por darme tanto apoyo, por creer en mí y por ser como una madre, cuidándome y regañándome cuando lo necesitaba.

A el ingeniero Mario Duarte por acompañarme en este proceso, por exigirme tanto desde el principio, por todos los regaños que sé que me los merecía, sé que no fue fácil trabajar conmigo, gracias por tanto esfuerzo, dedicación y paciencia.

A mi mejor amiga Erika Castillo quien siempre creyó en mí y me acompañó en todo este proceso sin soltar mí mano, a Patico, la mejor secretaria de la universidad y del mundo, por el tintico de la tarde que daba la energía necesaria pa' seguir y las charlas con tantas risas que nunca faltaron.

Y por supuesto a mis compañeros, amigos y colegas, que hicieron que estos años fueran los mejores hasta ahora, por sacarme mil sonrisas y carcajadas cada día, por abrazarme cuando lloré, por darme la mano para levantarme cuando lo necesité, por las veces que tuvieron que regañarme, por motivarme a seguir cuando me frustré y por cada cosa que se puede pasar en este momento. Hoy podemos decir que lo logramos juntos.



## Resumen

El álgebra de múltiples valores lógicos surgió como una solución a los problemas presentes en los circuitos binarios (2 niveles lógicos): mal uso de área y potencia en circuitos integrados digitales. Entre las posibles alternativas se han presentado varias propuestas de álgebras cuaternarias (4 niveles lógicos), junto con sus correspondientes operadores (compuertas) lógicos; los cuales han sido diseñadas e implementadas tanto en modo corriente como en modo voltaje, utilizando tecnología CMOS. La mejor configuración para la compuertas lógicas es en modo voltaje debido que hay una menor disipación de potencia, tal como se ha reportado en la literatura. En este trabajo, se propuso un diseño para los circuitos de las compuertas cuaternarias implementando tecnología CMOS en modo voltaje con área requerida menor que las compuertas reportadas en trabajos recientes, se verificó el correcto funcionamiento de los circuito utilizando el programa CADENCE Virtuoso, así como, las características eléctricas: slew rate y potencia, por medio de simulación. Por último, para evaluar el funcionamiento correcto de los circuitos se diseñó, construyó y simuló con la misma herramienta un demultiplexor cuaternario.

**Palabras Claves:** Álgebra de múltiples valores lógicos.



## Abstract

Algebra of multiple logical values emerged as a solution to the problems present in binary circuits (2 logical levels): misuse of area and power in digital integrated circuits. Among the possible alternatives, several proposals for quaternary algebras (4 logical levels) have been presented, together with their corresponding logical operators (gates); which have been designed and implemented in both current and voltage modes, using CMOS technology. The best configuration for logic gates is in voltage mode because there is less power dissipation, as reported in the literature. In this work, a design was proposed for the circuits of the quaternary gates implementing CMOS technology in voltage mode with a smaller required area than the gates reported in recent works, the correct operation of the circuits was verified using the CADENCE Virtuoso program, as well as, the electrical characteristics: slew rate and power, by means of simulation. Finally, to evaluate the correct operation of the circuits, a quaternary demultiplexer was designed, built and simulated with the same tool.

**Keywords:** Algebra of multiple logical values.



# Tabla de contenidos

<b>Agradecimientos</b>	<b>9</b>
<b>Resumen</b>	<b>11</b>
<b>Abstract</b>	<b>13</b>
<b>Lista de Figuras</b>	<b>19</b>
<b>Lista de Tablas</b>	<b>19</b>
<b>1 Introducción</b>	<b>21</b>
1.1 Estado del Arte . . . . .	22
1.2 Planteamiento del problema . . . . .	22
1.3 Objetivos . . . . .	23
1.3.1 Objetivo general . . . . .	23
1.3.2 Objetivos específicos . . . . .	23
1.4 Organización del documento . . . . .	23
1.4.1 Capítulo 1 . . . . .	24
1.4.2 Capítulo 2 . . . . .	24
1.4.3 Capítulo 3 . . . . .	24
1.4.4 Capítulo 4 . . . . .	24
1.4.5 Capítulo 5 . . . . .	24
<b>2 Marco Teórico</b>	<b>25</b>
2.1 Electrónica Digital: . . . . .	25
2.1.1 Circuitos Digitales: . . . . .	25
2.1.2 Álgebra de Boole: . . . . .	25
2.2 Álgebra de múltiples valores . . . . .	25
2.2.1 Operadores . . . . .	26
2.3 Suma de Productos . . . . .	27
2.4 Slew Rate . . . . .	28
<b>3 Diseño</b>	<b>29</b>
3.1 Cualidades de los circuitos MVL . . . . .	29
3.1.1 Inversor . . . . .	30

3.1.2	MAX . . . . .	32
3.1.3	eAND1 . . . . .	33
3.1.4	eAND2 . . . . .	34
3.1.5	eAND3 . . . . .	35
3.1.6	Sucesor . . . . .	36
<b>4</b>	<b>Resultados y discusiones</b>	<b>39</b>
4.1	Simulación . . . . .	39
4.1.1	Margen de ruido . . . . .	42
4.2	Área . . . . .	42
4.3	Slew rate . . . . .	43
4.3.1	Aplicando la ecuación 4-4 y 4-5: . . . . .	44
4.4	Potencia . . . . .	46
4.5	Circuito combinacional . . . . .	51
<b>5</b>	<b>Conclusiones</b>	<b>55</b>
5.0.1	Trabajos Futuros . . . . .	55
	<b>Bibliografía</b>	<b>56</b>



# Lista de Figuras

2-1	Símbolo de representación para el operador Sucesor . . . . .	26
2-2	Símbolo de representación para el operador Máximo . . . . .	27
2-3	Símbolo de representación para el operador producto extendido . . . . .	27
2-4	gráfica representativa para el slew Rate [1] . . . . .	28
3-1	Circuito inversor CMOS . . . . .	31
3-2	Gráfica característica del inversor [2] . . . . .	31
3-3	Esquemático del circuito para la compuerta MAX . . . . .	32
3-4	Esquemático del circuito para la compuerta eAND1 . . . . .	33
3-5	Esquemático del circuito para la compuerta eAND2 . . . . .	34
3-6	Esquemático del circuito para la compuerta eAND3 . . . . .	35
3-7	Esquemático del circuito para la compuerta Sucesor . . . . .	36
4-1	Señales PWL de entrada . . . . .	39
4-2	Simulación de los circuitos eAND1, eAND2, eAND3 Y Sucesor presentados en [3] . . . . .	40
4-3	Simulación de los circuitos eAND1, eAND2, eAND3 Y Sucesor diseñados en este trabajo . . . . .	41
4-4	Gráfica de rangos de voltaje . . . . .	42
4-5	Gráfica representativa para el tiempo de establecimiento [1] . . . . .	44
4-6	Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 1 V y Vdd de la compuerta eAND1 presentada en [3]. . . . .	47
4-7	Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 1 V y Vdd de la compuerta eAND1 presentada en este documento. . . . .	47
4-8	Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 2 V y Vdd de la compuerta eAND2 presentada en [3]. . . . .	48
4-9	Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 2 V y Vdd de la compuerta eAND2 presentada en este documento. . . . .	48
4-10	Gráfica resultante de la multiplicación de la corriente y el voltaje de la fuente externa Vdd de la compuerta eAND3 presentada en [3]. . . . .	48
4-11	Gráfica resultante de la multiplicación de la corriente y el voltaje de la fuente externa Vdd de la compuerta eAND3 presentada en este documento . . . . .	49
4-12	Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 1 V, 2 V y Vdd de la compuerta Sucesor presentada en [3]. . . . .	49

---

<b>4-13</b> Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 1 V, 2 V y Vdd de la compuerta Sucesor presentada en este documento. . . . .	50
<b>4-14</b> Diseño del demultiplexor de cuatro canales cuaternario . . . . .	52
<b>4-15</b> Circuito esquemático para el demultiplexor . . . . .	53
<b>4-16</b> Simulación del circuito para el demultiplexor . . . . .	54

# Lista de Tablas

<b>2-1</b>	<i>Sucesor</i> . . . . .	26
<b>2-2</b>	<i>MAX</i> . . . . .	27
<b>2-3</b>	<i>eAND1</i> . . . . .	27
<b>2-4</b>	<i>eAND2</i> . . . . .	27
<b>2-5</b>	<i>eAND3</i> . . . . .	27
<b>3-1</b>	Tamaño de los transistores para el diseño que se presento en este documento	37
<b>4-1</b>	Área de los circuitos . . . . .	43
<b>4-2</b>	Slew Rate de los circuitos . . . . .	46
<b>4-3</b>	Potencia de los circuitos . . . . .	50



# 1 Introducción

En la actualidad, la mayoría de los circuitos digitales y sus operaciones se fundamentan en el álgebra binaria [4], definida en el conjunto  $\{0, 1\}$  (2 niveles lógicos). Uno de los mayores problemas de los circuitos digitales binarios es el límite de información que se puede transmitir por un canal (máximo 1 bit, de acuerdo a la definición de información establecida en [5]), lo que implica una alta densidad de interconexiones en los circuitos integrados.

El álgebra de múltiples valores lógicos (MVL) ha surgido como una alternativa para solucionar este problema. Una de las propuestas que se ha implementado es la lógica cuaternaria definida en el conjunto:  $\{0, 1, 2, 3\}$ . En [6], se presenta un álgebra cuaternaria completa junto con sus operadores lógicos y los procedimientos para realizar la síntesis de cualquier circuito lógico cuaternario. Teóricamente, los circuitos cuaternarios permiten reducir el área, en comparación con circuitos binarios equivalentes, pues una única interconexión puede transmitir como máximo 2 bits (según la definición establecida en [5]).

Al igual que la lógica binaria, es necesario que el álgebra cuaternaria utilice un conjunto de operadores, los cuales, de acuerdo a [7], son: “Máximo”, “i-ésimo Producto extendido y “Sucesor”, cuyos símbolos son:  $+$ ,  $*^i$  y  $(\cdot)^1$ , respectivamente. Estos operadores cuaternarios, de acuerdo con [6], forman un álgebra completa, y, por lo tanto, permiten la síntesis e implementación de cualquier función lógica cuaternaria.

De manera equivalente a los procedimientos usados para la síntesis de circuitos binarios, basados en el álgebra de Boole, para el álgebra cuaternaria se proponen procedimientos similares a los bien conocidos: mapas Karnaugh y Quine–McCluskey, para la síntesis de circuitos lógicos cuaternarios. Es decir, la propiedad de completitud, permite que, a partir de unas estipuladas entradas y salidas, se puede diseñar e implementar cualquier circuito lógico cuaternario que realice la función cuaternaria definida por el conjunto de entradas y salidas [6].

En este trabajo se implementa el circuito para las compuertas lógicas cuaternarias eAND1 (figura 3-4), eAND2 (figura 3-5), eAND3 (figura 3-6) y sucesor (figura 3-7).

## 1.1. Estado del Arte

Por medio de cálculos teóricos y simulación, se verificó que las implementaciones de (MVL) consumían menos potencia y reducían la longitud de las interconexiones con respecto al binario [8], y existen propuestas de diferentes lógicas, con diferentes operadores, usando tecnologías CMOS: en modo corriente y en modo voltaje [9, 10, 6].

Las compuertas MVL en modo corriente, presentaron inconvenientes con la disipación de potencia y la variación en la impedancia de salida, para este modo se proponen aplicaciones como: la implementación en FPGAs para la arquitectura de los bloques lógicos [11] y circuitos integrados para aplicaciones VLSI de baja potencia [12] entre otros.

Con las compuertas MVL en modo voltaje, se proponen aplicaciones en: memorias Flash y DRAM, codificadores y decodificadores, convertidores Análogo-Digital, también la implementación en FPGAs para la programación de memorias inteligentes [13], este modo consumen menos potencia con respecto a las compuertas en modo corriente.

Para el álgebra cuaternaria hay varias aplicaciones interesantes como algoritmos cuánticos cuaternarios que permite la codificación mucho mas compacta de información [14], circuitos cuánticos MVL con compuertas cuánticas cuaternarias[15], y para los circuitos como tal con las compuertas cuaternarias, aplicaciones como: multiplexores y demultiplexores [16], sumadores [17] y comparadores [18] entre otros.

El álgebra que se presenta en [6], tiene la ventaja de ser un álgebra completa, el primer diseño de compuertas para estos operadores, implementando tecnología CMOS se presentó en [7], algunas en modo corriente y otras en modo voltaje. Posteriormente, en [3], se presenta una segunda versión de estas compuertas lógicas cuaternarias, en donde todas fueron diseñadas en modo voltaje, reduciendo el número de transistores y el tamaño en área del circuito Integrado por compuerta.

## 1.2. Planteamiento del problema

El álgebra cuaternaria definida por  $\{0, 1, 2, 3\}$ , como ya se expresó anteriormente en [4, 19, 9, 10], es una alternativa a los problemas de consumo de potencia y de área de la electrónica digital binaria por la cantidad de datos: circuitos combinacionales y circuitos secuenciales.

En la actualidad existen varias propuestas de compuertas lógicas cuaternarias que desarrollan tecnología CMOS [20, 21, 22], en modo voltaje, debido a que tiene mayores ventajas con respecto a las implementaciones en modo corriente, principalmente porque su consumo de

potencia es mucho menor.

Teniendo en cuenta lo anterior y que en los circuitos integrados se busca que el área de los componentes sea la mínima, se analizaron los circuitos presentados en [3], que parten del álgebra cuaternaria completa presentada en [7], del análisis se concluyó que podría reducirse el área.

En este trabajo se propone un diseño para los circuitos de estas compuertas lógicas cuaternarias, introducidas en [3], con una menor área de de utilización y preservando la funcionalidad.

## 1.3. Objetivos

### 1.3.1. Objetivo general

Diseñar y simular circuitos MVL que modelen los operadores lógicos cuaternarios: eAND1, eAND2, eAND3, SUC y MAX, con menor área que los circuitos reportados en la literatura.

### 1.3.2. Objetivos específicos

- Construir circuitos MVL que modele el funcionamiento de las compuertas: eAND3, eAND2, eAND1, SUC y MAX.
- Caracterizar los circuitos de las compuertas lógicas: *slew-rate*, consumo de potencia estático y dinámico y margen de ruido, por medio de simulaciones.
- Comparar el consumo de potencia dinámico, el consumo de potencia estático y el área requerido de cada una de las compuertas con los circuitos equivalentes presentados en la literatura.
- Simular un decodificador cuaternario de 16 entradas que utilice las compuertas lógicas MVL cuaternarias previamente diseñadas.

## 1.4. Organización del documento

El presente documento se organiza en 6 capítulos de la siguiente manera:

### **1.4.1. Capítulo 1**

En el capítulo 1 de este documento se encuentra la introducción al tema que se va a tratar a lo largo del mismo, un estado del arte con los trabajos previos y los objetivos que se plantearon para este trabajo.

### **1.4.2. Capítulo 2**

En este capítulo se encuentra la definición de los conceptos necesarios para entender los temas que se tratan en este documento.

### **1.4.3. Capítulo 3**

En este capítulo se habla de los pasos que se hicieron en el diseño para los circuitos de las compuertas cuaternarias (eAND1 (figura **3-4**), eAND2(figura **3-5**), eAND3 (figura **3-6**) y sucesor (figura **3-7**)) y también la explicación y análisis del funcionamiento de los mismos.

### **1.4.4. Capítulo 4**

En este capítulo se muestran los diferentes resultados que se obtuvieron durante el desarrollo del trabajo, el diseño y resultado de un circuito combinacional cuaternario para verificar y evaluar el funcionamiento correcto de los circuitos que se presentan en este documento.

### **1.4.5. Capítulo 5**

Conclusiones a las que se llegaron con los resultados de este trabajo.



## 2 Marco Teórico

En este capítulo se hará una revisión detallada de los conceptos importantes que se mencionan en el presente trabajo de grado.

### 2.1. Electrónica Digital:

La electrónica digital se refiere sistemas que operan con variables discretas que tienen un número finito de valores [23]. Actualmente en su mayoría estos sistemas trabajan dos valores lógicos 0,1 que se toma como representación de los niveles de voltaje 0 para el valor más cercano a tierra (GND) y 1 como el valor más cercano a la fuente de alimentación, partiendo de esta propiedad permite usar el álgebra de Boole que proporciona las herramientas necesarias para la síntesis y el análisis de estos sistemas.[24]

#### 2.1.1. Circuitos Digitales:

Es un circuito lógico que maneja la información en valores o niveles lógicos de voltaje, en su mayoría estos circuitos están conformados por distintos elementos o componentes electrónicos, es por eso que se les conoce como circuitos combinacionales, que tienen como fin la transmisión de información. [25]

#### 2.1.2. Álgebra de Boole:

Es una estructura algebraica que esquematiza las operaciones lógicas de dos niveles, se representa de diferentes maneras como "0 y 1", "verdadero y falso", "encendido y apagado" "alto y bajo", según el caso.[26]

El álgebra de Boole se aplica para el diseño, la síntesis y simplificación en la electrónica digital. Claude Shannon fue el primero en ponerlo en práctica para el diseño de circuitos de conmutación eléctrica biestables, en 1948.[27]

### 2.2. Álgebra de múltiples valores

El álgebra que se propuso en [6] es una extensión del álgebra Boole, es decir es una ampliación de operaciones que aplica la síntesis de los circuitos binarios, pero para síntesis MVL y una ventaja es la posibilidad de asignar el dominio de dos niveles  $\{0, 1\}$  a los operadores del

álgebra MVL como  $\{0, 3\}$  respectivamente.

Está compuesta por 5 operadores: sucesor, máximo, producto extendido, mínimo y suma extendido, donde producto extendido y suma extendido son extensiones de los operadores AND y OR del álgebra Booleana.

El dominio se define por un conjunto ordenado de enteros mayores o iguales a cero y el valor que defina la representación digital MV, el elemento inferior de el conjunto es 0 y el elemento superior corresponde a el valor que define la representación menos 1, en este caso el dominio corresponde a  $\{0, 1, 2, 3\}$ . [28]

### 2.2.1. Operadores

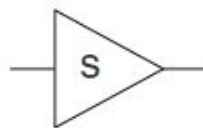
En esta sección se presentan las tablas de Cayley y el funcionamiento de cada uno de los operadores para la lógica cuaternaria.

#### Sucesor

Sea un elemento que pertenece al conjunto del dominio  $\{0, 1, 2, 3\}$  se realiza la operación  $Y = X + 1$  Como se muestra en la tabla de Cayley **2-1**. [28]

**Tabla 2-1:** *Sucesor*

X	Y
0	1
1	2
2	3
3	0



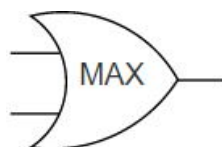
**Figura 2-1:** Símbolo de representación para el operador Sucesor

#### Máximo

Sean X y Y elementos que pertenecen a el dominio  $\{0, 1, 2, 3\}$  donde la salida es el elemento mayor y se representa como  $X + Y$ , según la tabla de Cayley **2-2**. [28]

**Tabla 2-2: MAX**

X/Y	0	1	2	3
0	0	1	2	3
1	1	1	2	3
2	2	2	2	3
3	3	3	3	3

**Figura 2-2:** Símbolo de representación para el operador Máximo

### Producto Extendido

Sean  $X$  y  $Y$  elementos que pertenecen a el dominio  $\{0, 1, 2, 3\}$  y se representa de la siguiente manera  $X *^i Y$  donde  $i$  depende de la compuerta y el resultado de esta operación es el valor de  $i$  sí y solo sí  $X = Y = i$  de lo contrario es igual a 0, como se muestra en las tablas de Cayley 2-3,2-4 y 2-5. [28]

**Tabla 2-3:  $eAND1$** 

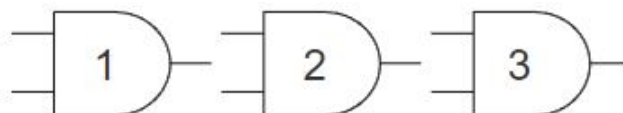
X/Y	0	1	2	3
0	0	0	0	0
1	0	1	0	0
2	0	0	0	0
3	0	0	0	0

**Tabla 2-4:  $eAND2$** 

X/Y	0	1	2	3
0	0	0	0	0
1	0	0	0	0
2	0	0	2	0
3	0	0	0	0

**Tabla 2-5:  $eAND3$** 

X/Y	0	1	2	3
0	0	0	0	0
1	0	0	0	0
2	0	0	0	0
3	0	0	0	3

**Figura 2-3:** Símbolo de representación para el operador producto extendido

## 2.3. Suma de Productos

En electrónica digital la suma de productos o suma de minterminos, se usa para la síntesis y simplificación de funciones lógicas y circuitos lógicos.

En MVL la suma de productos es la unión de minterminos por medio del operador MAX

(+), los minterminos son la salida del operador producto extendido ( $*^i$ ), es decir el producto es el operador producto extendido ( $*^i$ ) y la suma es el operador MAX (+), las variables ingresan a la compuerta producto extendido  $i$  y la salida de este entra directamente a el operador MAX (+).

## 2.4. Slew Rate

En la electrónica digital el slew rate se define como la máxima velocidad a la que puede cambiar de un nivel de voltaje al otro[1]. Gráficamente como lo muestra la figura 2-4 y se puede definir como la ecuación 2-1; donde  $\Delta V$  es la diferencia entre el voltaje máximo y mínimo, y  $\Delta t$  es la diferencia entre los tiempos correspondientes al voltaje máximo y mínimo, respectivamente.

$$SR = \frac{\Delta V}{\Delta t} \quad (2-1)$$

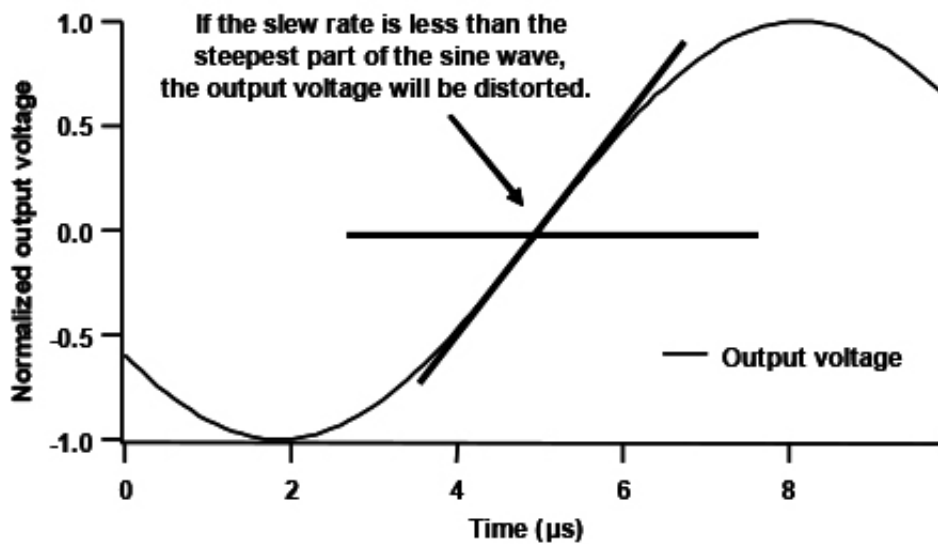


Figura 2-4: gráfica representativa para el slew Rate [1]

## 3 Diseño

Del trabajo previo [3], se tomaron los circuitos de las compuertas cuaternarias, los tamaños de los transistores y se simularon, con ayuda de la herramienta CADENCE Virtuoso, para ver el funcionamiento y de la misma manera con ayuda de la salida gráfica calcular el slew rate y la potencia consumida.

Para el análisis de estos circuitos es importante tener en cuenta que los valores de voltaje definidos para los niveles lógicos 0, 1, 2 y 3, son  $[0,0.7]$  V,  $(0.7,1.4]$  V,  $(1.4,2.4]$  V y  $(2.4,3.0]$  V, respectivamente; que los circuitos presentados en [3] se implementan en la tecnología CMOS en modo voltaje. La tecnología usada es AMS  $0.35 \mu\text{m}$  CMOS 4ML C35B4E3, la cual fue simulada en el programa CADENCE Virtuoso, donde las librerías de la tecnología y la licencia del software fueron suministrados por el *Centro Tecnológico de Eletrónica e Informatica de MS - CTEI-MS* de la Universidade Federal de Mato Grosso do Sul.

Se simularon los circuitos CMOS con los tamaños que se presentan en [3], y los resultados se analizaron junto con la lógica de cada etapa del circuito para ver cómo funcionaba y tomar la decisión de en dónde y de qué manera se podía hacer la reducción de área.

Lo que se observa después del análisis es que en alguna parte los circuitos se vuelven binarios, es decir se tratan sólo dos niveles lógicos, o alto o bajo. Por consiguiente no es necesario que los transistores en esta parte sean grandes, es por eso que en estas partes se redujo el tamaño de los transistores.

Cuando se obtuvieron estos datos, se procedió a construir los nuevos diseños cambiando los tamaños de los transistores, haciéndolos más pequeños, para después también realizar la respectiva simulación a cada circuito y verificar que el funcionamiento fuera el mismo y de igual manera se midiera y se calculara los parámetros de slew rate, potencia consumida y área.

### 3.1. Cualidades de los circuitos MVL

Estos circuitos tienen diferentes etapas como inversores con diferentes voltajes de transición, compuertas binarias NAND y NOR y partes que se usan simplemente para dar el nivel de voltaje necesario para la salida, como interruptores.

A continuación se muestra el circuito de las compuerta eAND1 (figura 3-4), eAND2(figura 3-5), eAND3 (figura 3-6) y sucesor (figura 3-7) y el análisis detallado de su funcionamiento:

### 3.1.1. Inversor

El funcionamiento de un circuito inversor CMOS (figura 3-1) esta definido por la curva característica (figura 3-2) donde dependiendo de la relación del tamaño de los transistores y el voltaje de umbral, se define la tensión con la que se produce la transición de nivel alto a nivel bajo en la salida del inversor, es decir el voltaje en el que los dos transistores se encuentran en la región saturación.

Para este trabajo se usaron diferentes inversores, las configuraciones que se usaron para estos circuitos discriminadores fueron para voltajes  $V_{sat}$  ( $V_m$  en la gráfica 3-2) de 0.7 V, 1.4 y 2.4 dependiendo el nivel lógico que se esté tratando, el cual se calcula asumiendo los dos transistores en región saturación e igualando las corrientes  $I_{ds}$  de estos como se muestra en la ecuación 3-1 aproximadamente (esto es un valor teórico), encontrando la relación  $\frac{W}{L}$  para el voltaje  $V_G$  que se desea.

$$\frac{1}{2}\mu_n \cdot cox \cdot \frac{W_n}{L_n} (V_{GS_n} - V_{T_n})^2 (1 + \lambda V_{D_n S_n}) = \frac{1}{2}\mu_p \cdot cox \cdot \frac{W_p}{L_p} (V_{S_p G} - |V_{T_p}|)^2 (1 + \lambda V_{S_p D_p}) \quad (3-1)$$

De la ecuación 3-1  $\mu_n$  y  $\mu_p$  son constantes que corresponde a la movilidad de los electrones y de los huecos,  $cox$  es la capacidad de oxido por unidad de área que depende del fabricante,  $W$  y  $L$  corresponde al ancho y largo de los transistores, en estos casos  $V_G$  se asume como el voltaje de entrada que se quiera (0.7 V, 1.4 V, 2.4 V),  $V_T$  es el voltaje umbral del transistor,  $V_S$  es el voltaje fuente del transistor (para cada caso n o p),  $\lambda$  es el parámetro de modulación del canal y está relacionada con la impedancia de salida del transistor (para  $\lambda=0$ , esta es infinita), para el valor teórico se asumió este caso, pero la herramienta CADENCE cuenta con aproximaciones de segundo, tercer y cuarto grado, y  $V_D$  que corresponde a el voltaje de drenaje en este caso es igual a  $V_S$  en ambos casos.

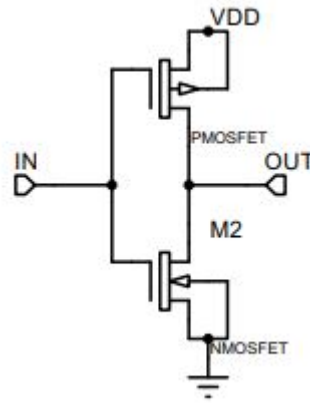


Figura 3-1: Circuito inversor CMOS

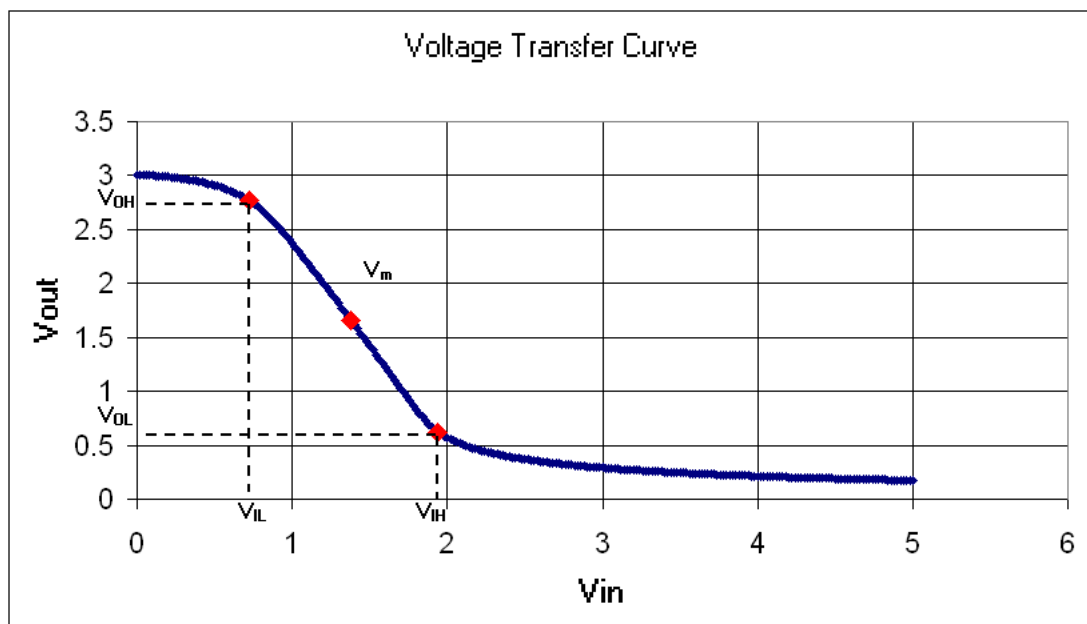
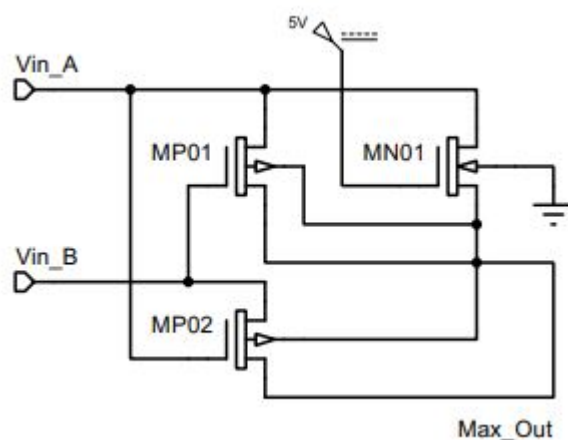


Figura 3-2: Gráfica característica del inversor [2]

### 3.1.2. MAX



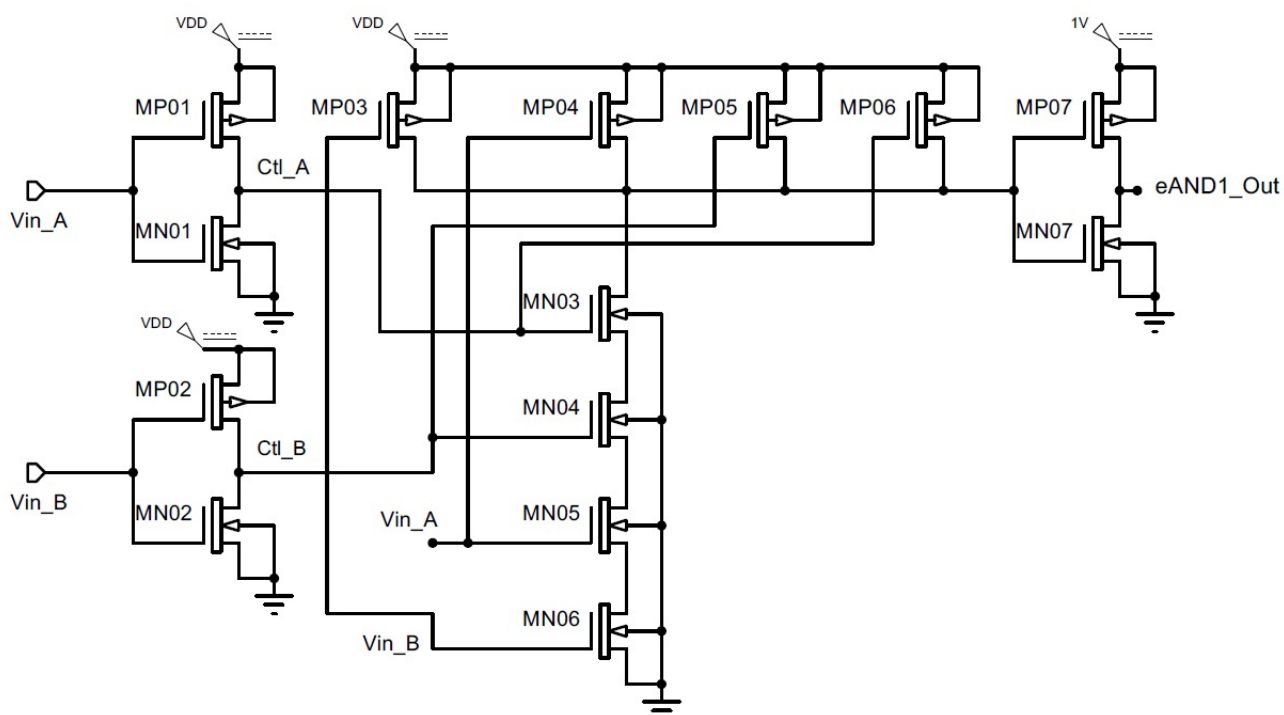
**Figura 3-3:** Esquemático del circuito para la compuerta MAX

La función principal de la compuerta MAX como lo muestra la tabla **2-2** es poner a la salida el mayor mayor valor lógico entre las 2 entradas.

En la figura **3-3** se muestra el esquemático para la compuerta MAX, sin embargo cabe resaltar que este circuito no se modificó.



### 3.1.3. eAND1



**Figura 3-4:** Esquemático del circuito para la compuerta eAND1

La función principal de la compuerta eAND1, como lo muestra la tabla **2-3**, es poner a la salida un 1 lógico, solamente cuando en las entradas hay un nivel lógico 1.

El circuito de la compuerta eAND1 (figura **3-4**) es una compuerta NAND (transistores MP03-MP06 y MN03-MN06) binaria de 4 entradas con un voltaje de cambio en aproximadamente 0.7 V, dos de sus entradas (CtlA y CtlB) son la salida de discriminadores con un voltaje de cambio en 1.4 V, de las entradas VinA y VinB que a su vez son las otras entradas de la NAND.

Mientras en cualquiera de las entradas haya 0 V alguno de los transistores NMOS estará en abierto y uno de los transistores PMOS estará en corto a fuente (3 V), por lo tanto a la salida habrá 0 V, las entradas CtlA y CtlB aseguran que únicamente cuando los voltajes de las entradas VinA y VinB sean 1 lógico a la salida de la NAND habrán 0 V y por lo tanto a la salida mostrara 1 V que corresponde a la fuente que alimenta este inversor.

### 3.1.4. eAND2

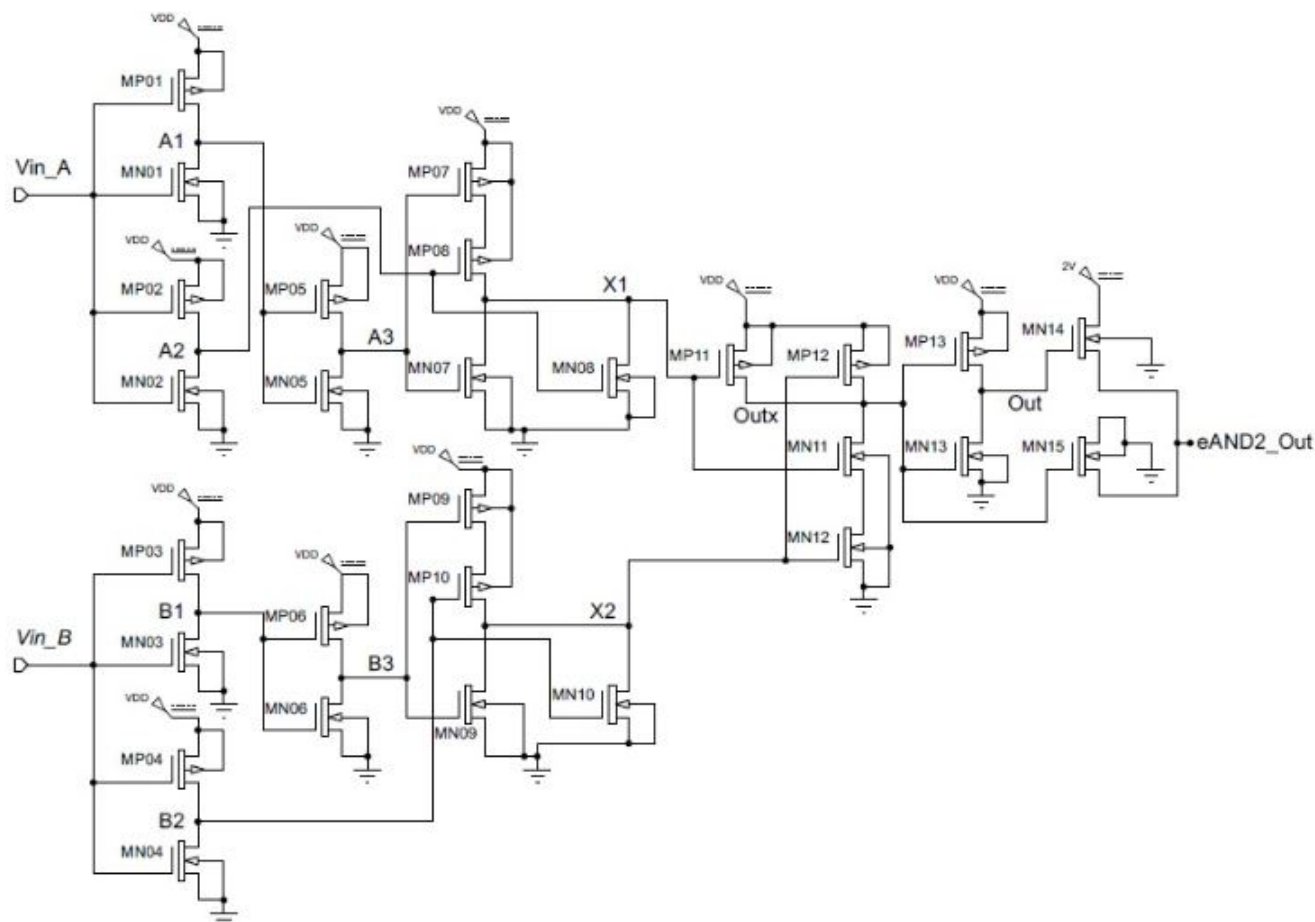


Figura 3-5: Esquemático del circuito para la compuerta eAND2

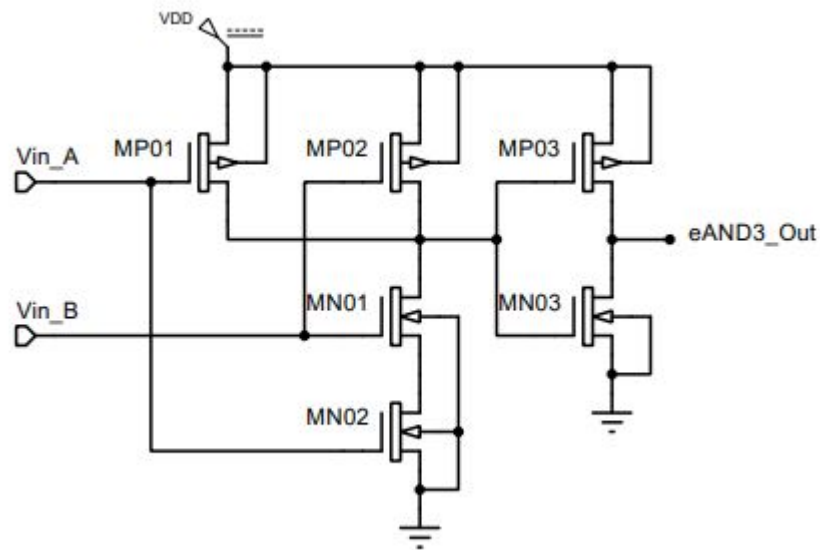
La función principal de la compuerta eAND2 (3-5) como lo muestra la tabla 2-4 es poner a la salida 2 lógico, solamente cuando en las entradas haya un nivel lógico 2.

El circuito de la compuerta eAND2 (3-5) tiene dos entradas que deben ser simétricas por la propiedad de conmutación [28], pasan por una etapa de discriminadores con voltajes de cambio 1.4 V (A2,B2) y 2.4 V (A1,B1), A1 y B1 se invierten para aislar el 2 lógico.

Las salidas A2 y A3 entran a una compuerta NOR (transistores MP07, MP08, MN07 y MN08) cuya salida X1 será 3 V solamente para el 2 lógico, las salidas B2 y B3 son simétricas con A2 y A3.

Las salidas X1 y X2 entran a una compuerta NAND (transistores MP11, MP12, MN11 y MN12) que mientras la salida sea 3 V siempre a la salida habrá 0 V, de lo contrario el será 2 lógico con el transistor MN14.

### 3.1.5. eAND3

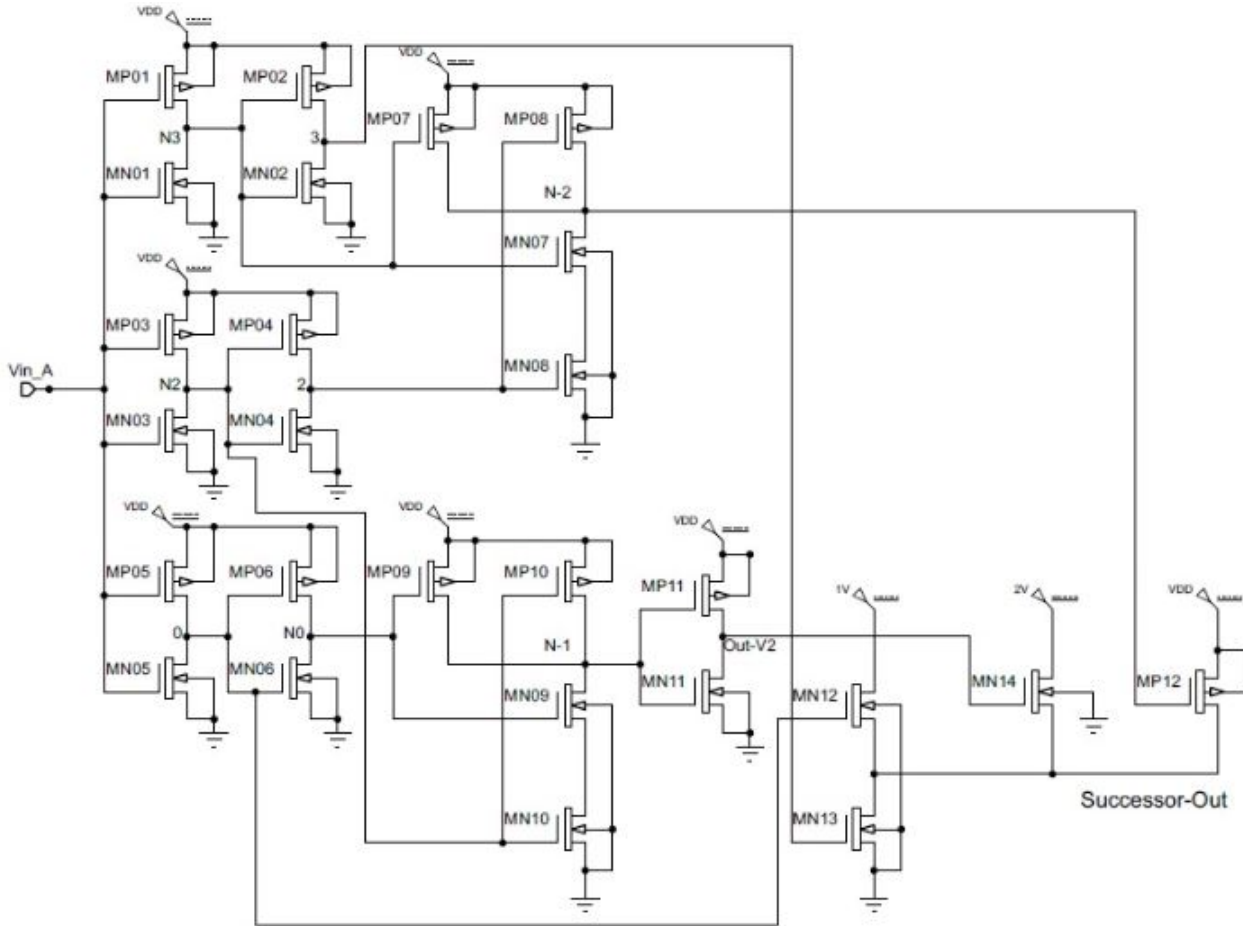


**Figura 3-6:** Esquemático del circuito para la compuerta eAND3

La función principal de la compuerta eAND3 (**3-6**) como lo muestra la tabla **2-5** es poner a la salida un 3 lógico, solamente cuando en las 2 entradas hay un nivel lógico 3.

El circuito de la compuerta eAND3 se comporta como una compuerta AND binaria con un voltaje de cambio en 2,4 V, en la salida habrá 3 V solamente cuando las entradas estén en el nivel lógico 3.

### 3.1.6. Sucesor



**Figura 3-7:** Esquemático del circuito para la compuerta Sucesor

La función principal de la compuerta sucesor (3-7) como se muestra en la tabla 2-1 es poner en la salida el nivel lógico siguiente a el de la entrada.

La compuerta sucesora (3-7) tiene los tres discriminadores, inversor N3 con voltaje de cambio en 2.4 V, 3 es la inversa de N3 para que cuando esté en el nivel lógico 3 en la salida (transistor MN13) haya 0 lógico.

El siguiente bloque N2, inversor con voltaje de cambio en 1.4 V y 2 inversa de N2, donde 2 junto con N3 (2 lógico) entran a una compuerta NAND (transistores MP07, MP08, MN07 y MN08) para que cuando N-2 esté en 0 V la salida (transistor MP12) esté en 3 lógico.

En el bloque 0, inversor con voltaje de cambio en 0.7 V, cuando está en alto, la salida (transistor MN12) es 1 lógico. N0 es la inversa de 0 y junto con N2 (1 lógico) entran a una

compuerta AND (transistores MP09, MP10, MP11, MN09, MN10 y MN11) que cuando la salida Out-V2 está en alto, la salida (transistor MN14) está en 2 lógico.

En la tabla **3-1** se muestran los nuevos tamaños de los transistores respectivos de cada circuito, el porcentaje de reducción con respecto a el trabajo previo se encuentra en la tabla **4-1**.

**Tabla 3-1:** Tamaño de los transistores para el diseño que se presento en este documento

	Transistor	A	L	Transistor	A	L
	PMOS	( $\mu\text{m}$ )	( $\mu\text{m}$ )	NMOS	( $\mu\text{m}$ )	( $\mu\text{m}$ )
eAND1	MP01,MP02	4.4	0.35	MN01,MN02	0,4	0.35
	MP03 a MP06	0.4	0.35	MN03 a MN06	14	0.35
	MP07	10	0.35	MN07	10	0.35
eAND2	MP01	10	0.35	MN01	0.6	0.35
	MP02	4.4	0.35	MN02	2.8	0.35
	MP03	10	0.35	MN03	0.6	0.35
	MP04,MP05	4.4	0.35	MN04	2.8	0.35
	MP06 a MP13	0.4	0.35	MN05 a MN13	0.6	0.35
				MN14,MN15	10	0.35
eAND3	MP01,MP02	10	0.35	MN01 a MN03	0.6	0.35
	MP03	0.4	0.35			
Sucesor	MP01,MP02	20	0.35	MN01,MN02	0.6	0.35
	MP03, MP04	4.4	0.35	MN03, MN04	2.8	0.35
	MP05 a MP11	0.4	0.35	MN05, MN06	10	0.35
	MP12	4.4	0.35	MN07 a MN10	10	0.35
				MN11 a MN14	2.8	0.35
Max	MP01, MP02	10	0.35	MN01	0.4	10



## 4 Resultados y discusiones

En este capítulo se muestran los resultados de las medidas de desempeño que se obtuvieron para las compuertas propuestas en el presente trabajo y para las compuertas en [3]. Los anteriores valores permiten contrastar el área, slew rate, consumo de potencia y las simulaciones de los circuitos de las compuertas eAND1 (figura 3-4), eAND2(figura 3-5), eAND3 (figura 3-6) y sucesor (figura3-7). Por ultimo, se presenta el diseño y simulación de un circuito combinacional (demultiplexor 1 a 4) en la figura 4-15.

### 4.1. Simulación

Para este proceso se crearon 2 señales PWL periódicas (figura 4-1), una con periodo de 4  $\mu s$  (VinA) y otra con 1  $\mu s$  (VinB), divididas en 4 partes iguales para los diferentes niveles de voltaje (0 V,1 V, 2 V,3 V), es decir para el caso de la señal de periodo 4  $\mu s$  se definió un voltaje diferente cada 1  $\mu s$ , para obtener las 16 posibles combinaciones.

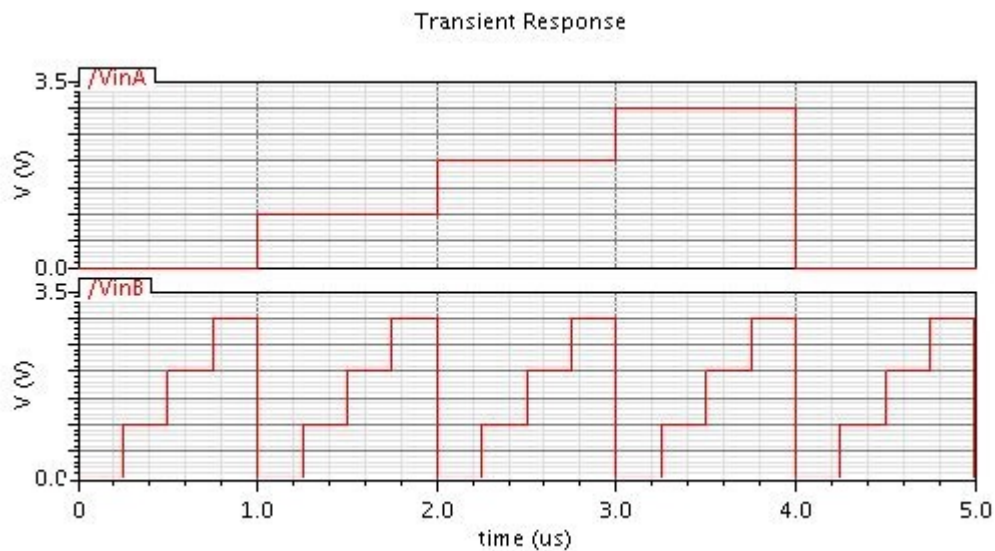
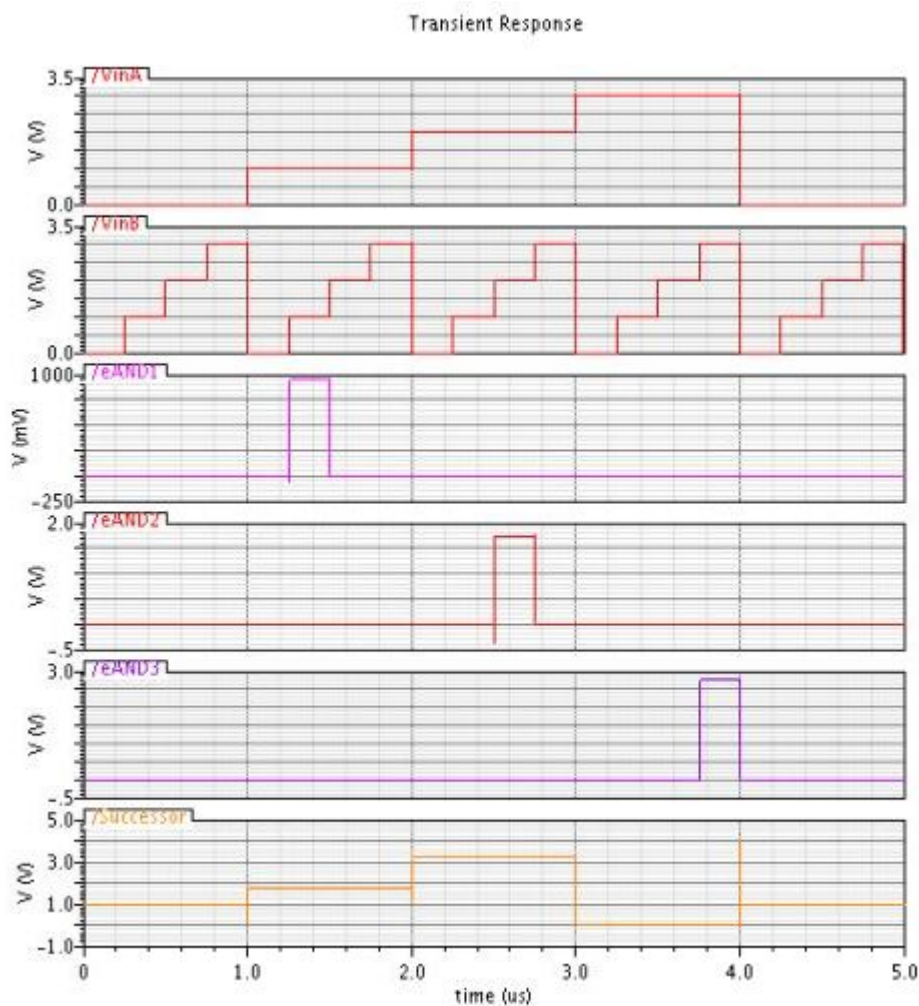


Figura 4-1: Señales PWL de entrada

Después de estimular las entradas con las señales correspondientes, en el panel de simulación se definió el modo, en este caso la respuesta transitoria, el tiempo de simulación que depende

de la cantidad de ciclos que se quieran ver de la señal y por ultimo seleccionar los puntos del circuito en donde se quería ver la respuesta.

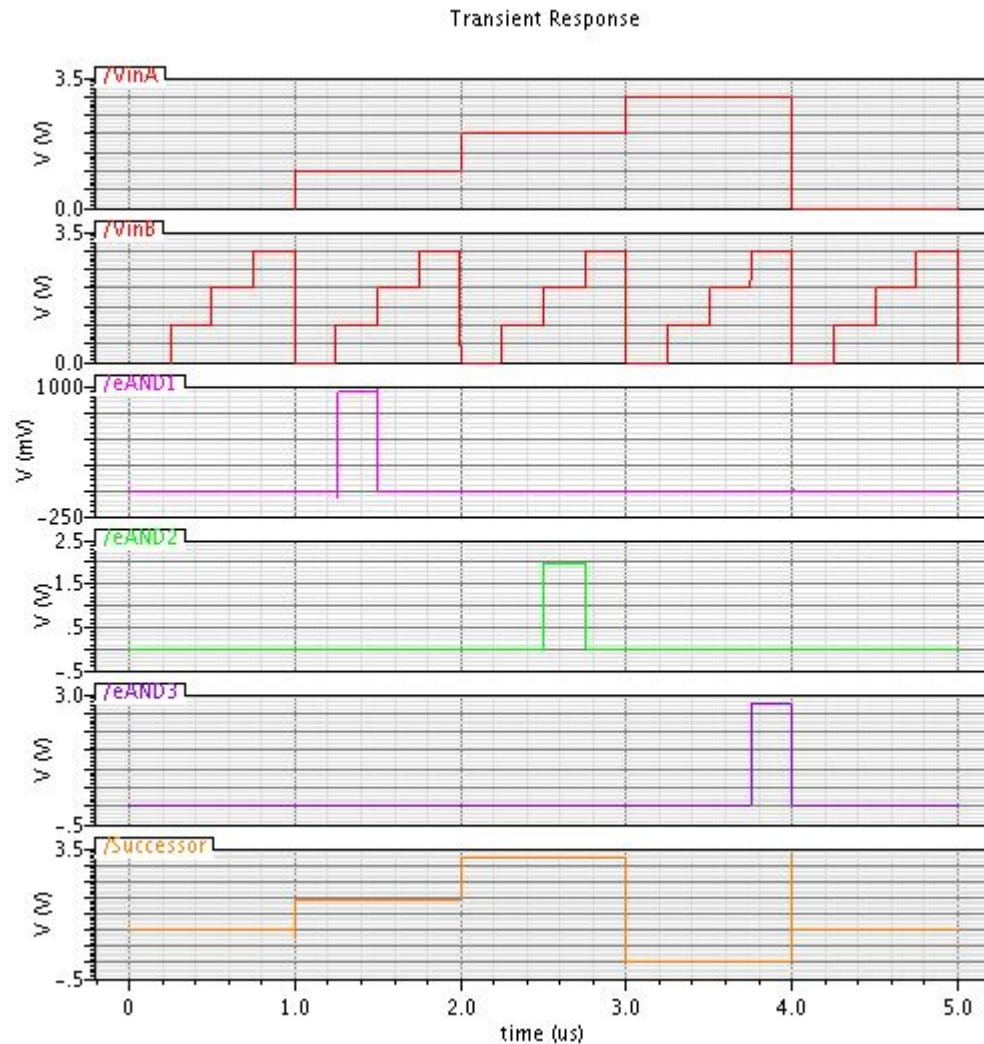
Se simularon los circuitos presentados en [3] y los propuestos en este documento, utilizando la herramienta CADENCE Virtuoso y con este resultado se evaluó el desempeño, se tomaron los datos necesarios para los cálculos y los procedimientos.



**Figura 4-2:** Simulación de los circuitos eAND1, eAND2, eAND3 Y Sucesor presentados en [3]

En la figura 4-2, se muestra la respuesta transitoria de los circuitos presentados en [3], donde se muestra el funcionamiento de las compuertas.





**Figura 4-3:** Simulación de los circuitos eAND1, eAND2, eAND3 Y Sucesor diseñados en este trabajo

En la figura 4-3, se muestra la respuesta transitoria de los circuitos de las compuertas con los nuevos tamaños de los transistores (tabla 3-1) y se muestra el correcto funcionamiento de las mismas.

A simples rasgos, comparando cada una de las señales, se puede observar como en todos los casos mejora la respuesta de la señal en algunos puntos, como por ejemplo, en la sucesora, para la figura 4-2, hay un pico que se genera debido a los transistores (interruptores) de la salida del circuito, a los 4  $\mu\text{s}$  que llega a los 4 V aproximadamente y en la figura 4-3 el pico es de 3.2 V aproximadamente.

### 4.1.1. Margen de ruido

El margen de ruido es el máximo voltaje que se le puede agregar a una compuerta sin afectar la salida [29], teniendo en cuenta los rangos de voltaje para los niveles lógicos (figura 4-4), se calcula un valor de voltaje de manera que no se salga de estos rangos, es decir el valor máximo de voltaje para el nivel 0, tomando como referencia 0 V es de 0.7 V, para el nivel 1, tomando como referencia 1 V es de  $\pm 0.3$  V, para el nivel 2, tomando como referencias 2 V es de  $\pm 0.4$  V y para el nivel 3, tomando como referencia el 3 es de 0.6 V.

Teniendo en cuenta que para cada nivel es diferente, se toma el valor mínimo como margen de ruido para las compuertas, 0.3 V en este caso.

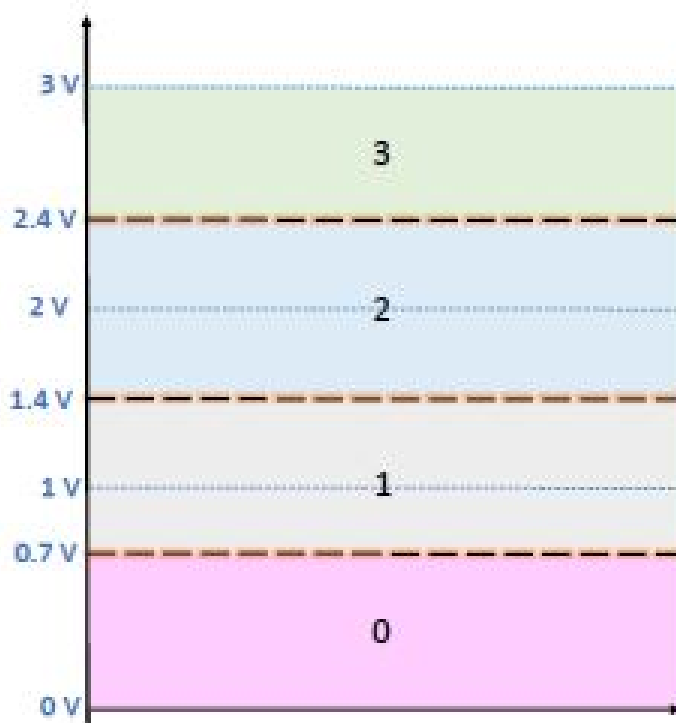


Figura 4-4: Gráfica de rangos de voltaje

## 4.2. Área

Para hallar el área total de cada compuerta, se calculó el área por transistor (ecuación 4-1), que sumados dan el área del circuito y así se halló el porcentaje de reducción (ecuación 4-2) de las compuertas presentadas en este trabajo ( $\text{Área}_n$ ) con respecto a las compuertas presentadas en [3] ( $\text{Área}_p$ ), los valores se muestran en la tabla 4-1.

$$(Ancho) \cdot (largo) = \acute{A}rea \quad (4-1)$$

$$100\% - \frac{\acute{A}rea_n}{\acute{A}rea_p} \cdot 100 = P\%_{Reducci\acute{o}n} \quad (4-2)$$

Los porcentajes de reducci3n que se obtuvieron fueron significativos, logrando hasta un 76 % de reducci3n del 1rea en una de las compuertas.

**Tabla 4-1:** 1rea de los circuitos

1rea			
	Circuitos previos( $\mu m^2$ )	Este documento( $\mu m^2$ )	Reducci3n(%)
eAND1	36.54	30.52	16.47
eAND2	103.9	24.01	76.89
eAND3	14.77	7.77	47.39
Sucesor	84.54	33.74	60.55
Max	11	11	0

### 4.3. Slew rate

Para el calculo del slew rate, relacion1ndolo con el tiempo de subida, como se muestra en la figura 4-5, se calcul3 el nivel de voltaje que corresponde al 10% y 90% (ecuaci3n 4-3), tomando de la simulaci3n el valor de voltaje mas cercano al calculado y el tiempo en estos puntos como se muestra en la figura 2-4, hallando los diferenciales (ecuaciones 4-4 y 4-5), la velocidad de m1xima de cambio de un nivel a otro (ecuaci3n 2-1) para cada compuerta tanto de las presentadas en [3] como las presentadas en este trabajo se muestran en la tabla 4-2, junto con el calculo de el porcentaje de cambio de velocidad (ecuaci3n 4-6) donde  $SR_n$  corresponde a el slew rate de las compuertas presentadas en etse documento y  $SR_p$  corresponde a el slew rate de las compuertas presentadas en [3].

$$Voltaje_{10\%} = (Voltaje_{final} - Voltaje_{inicial}) \cdot 10\% \quad (4-3)$$

$$Voltaje_{90\%} = (Voltaje_{final} - Voltaje_{inicial}) \cdot 90\%$$

$$\Delta V = Voltaje_{90\%} - Voltaje_{10\%} \quad (4-4)$$

$$\Delta t = tiempo_{90\%} - tiempo_{10\%} \quad (4-5)$$

$$\%_{cambio} = 100 - \frac{SR_n}{SR_p} \cdot 100 \quad (4-6)$$

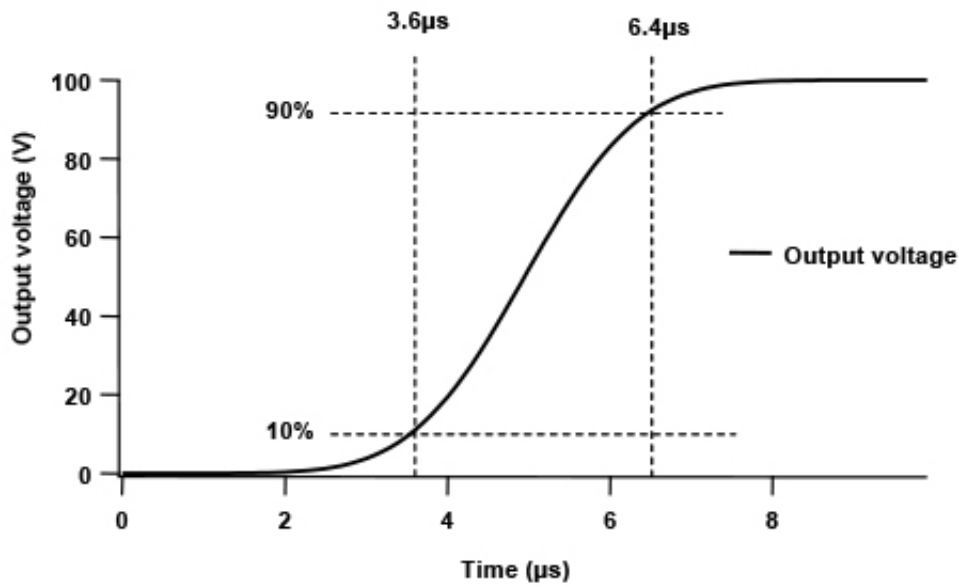


Figura 4-5: Gráfica representativa para el tiempo de establecimiento [1]

#### 4.3.1. Aplicando la ecuación 4-4 y 4-5:

Debido a los glitch que se presentan, estos fueron los resultados:

**eAND1**

**Previo**

$$\Delta V = 765.0392mV \quad (4-7)$$

$$\Delta t = 0.951ns \quad (4-8)$$

**Nuevo**

$$\Delta V = 760.65.94mV \quad (4-9)$$

$$\Delta t = 0.928ns \quad (4-10)$$

**eAND2****Previo**

$$\Delta V = 1.99306V \quad (4-11)$$

$$\Delta t = 0.3623ns \quad (4-12)$$

**Nuevo**

$$\Delta V = 1.58662V \quad (4-13)$$

$$\Delta t = 0.32ns \quad (4-14)$$

**eAND3****Previo**

$$\Delta V = 2.20754V \quad (4-15)$$

$$\Delta t = 0.2526ns \quad (4-16)$$

**Nuevo**

$$\Delta V = 2.22012V \quad (4-17)$$

$$\Delta t = 0.187ns \quad (4-18)$$

**Sucesor****Previo intervalo de 0 a 1 lógico**

$$\Delta V = 3.3812V \quad (4-19)$$

$$\Delta t = 2.55ns \quad (4-20)$$

**Nuevo intervalo de 0 a 1 lógico**

$$\Delta V = 3.66828V \quad (4-21)$$

$$\Delta t = 1.61ns \quad (4-22)$$

**Previo intervalo de 1 a 2 lógico**

$$\Delta V = 1.43856V \quad (4-23)$$

$$\Delta t = 0.315ns \quad (4-24)$$

**Nuevo intervalo de 1 a 2 lógico**

$$\Delta V = 1.07147V \quad (4-25)$$

$$\Delta t = 0.3083ns \quad (4-26)$$

**Previo intervalo de 2 a 3 lógico**

$$\Delta V = 1.866V \quad (4-27)$$

$$\Delta t = 8.586ns \quad (4-28)$$

**Nuevo intervalo de 2 a 3 lógico**

$$\Delta V = 1.0513V \quad (4-29)$$

$$\Delta t = 0.131ns \quad (4-30)$$

En el slew rate se consiguieron buenos resultados para algunas de las compuertas, como para eAND1 que no fue mucho pero mejoró y en la eAND3 que el resultado fue mas alto, en otros caso como la eAND2 disminuye un poco pero no tan significativo, para la sucesor en 2 de los 3 niveles disminuyo significativamente la velocidad, pero en el otro nivel aumento en gran cantidad, es por eso que en términos generales la velocidad aumento para esta compuerta.

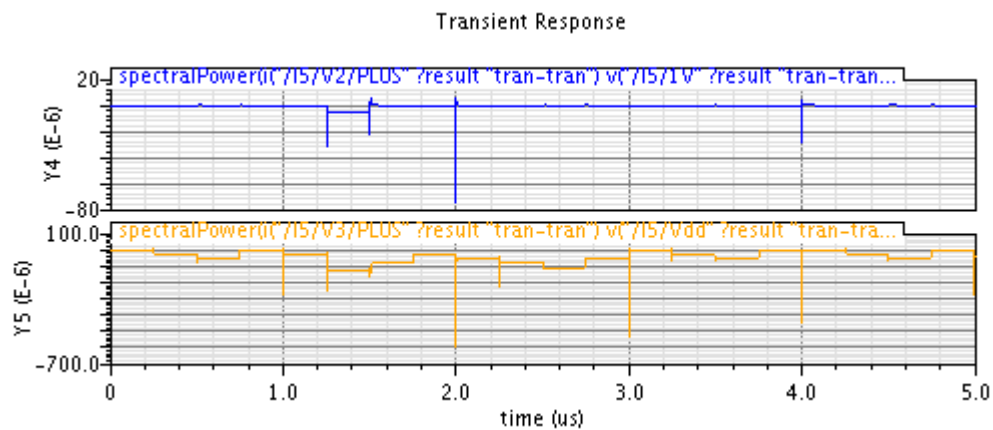
**Tabla 4-2:** Slew Rate de los circuitos

Slew Rate			
	Circuitos previos( $V/\mu s$ )	Este documento( $V/\mu s$ )	porcentaje de cambio(%)
eAND1	804.5	819.7	1.89
eAND2	5501	4658.2	-15.32
eAND3	8739.3	11872.3	35.85
Sucesor	2100	1438.54	-31.49
	4566.9	3475.4	-23.9
	217.5	8025.2	3589.2
Max	1864.7	—	0
	9991	—	0
	16379	—	0

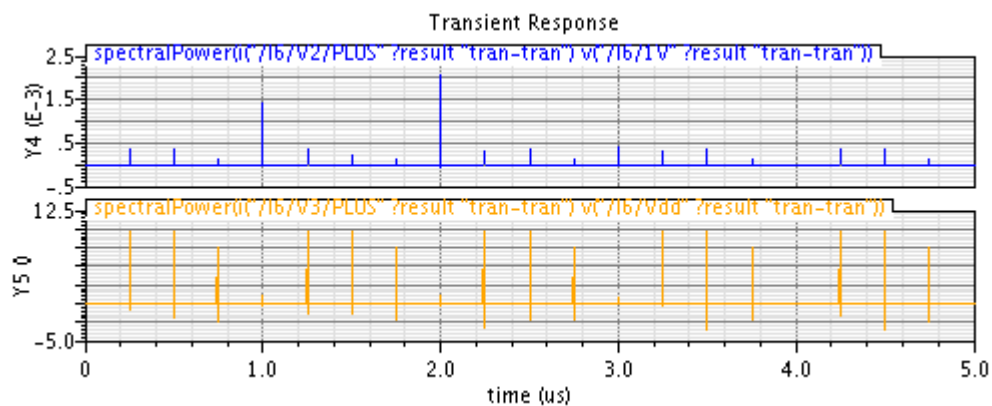
**4.4. Potencia**

Con ayuda de la calculadora del programa CADENCE Virtuoso y la función “spectralPower”, que multiplica las señales de corriente y voltaje de las fuentes externas de los circuitos, se obtienen las figuras: **4-6**, **4-7**, **4-8**, **4-9**, **4-10**, **4-11**, **4-12** y **4-13**, correspondientes respectivamente a los circuitos presentados en [3] y en este documento, también con la función

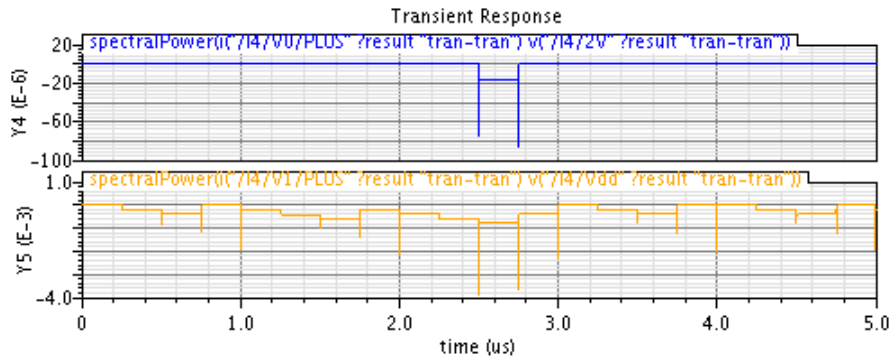
”rms” que calcula el valore eficaz de la señal, es decir calculó la raiz cuadrada del promedio de los valores cuadraticos las señales ya mencionadas para hallar la potencia dinámica consumida, valores expresados en la tabla 4-3.



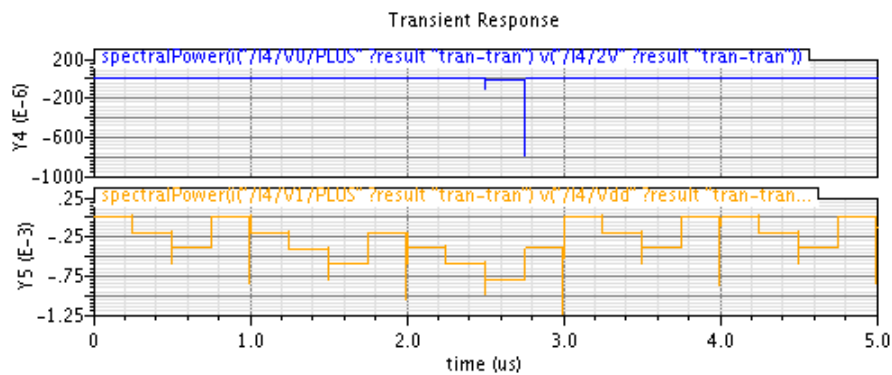
**Figura 4-6:** Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 1 V y Vdd de la compuerta eAND1 presentada en [3].



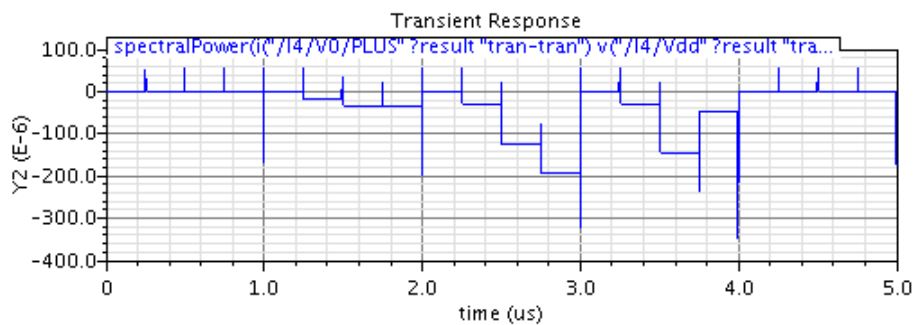
**Figura 4-7:** Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 1 V y Vdd de la compuerta eAND1 presentada en este documento.



**Figura 4-8:** Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 2 V y Vdd de la compuerta eAND2 presentada en [3].

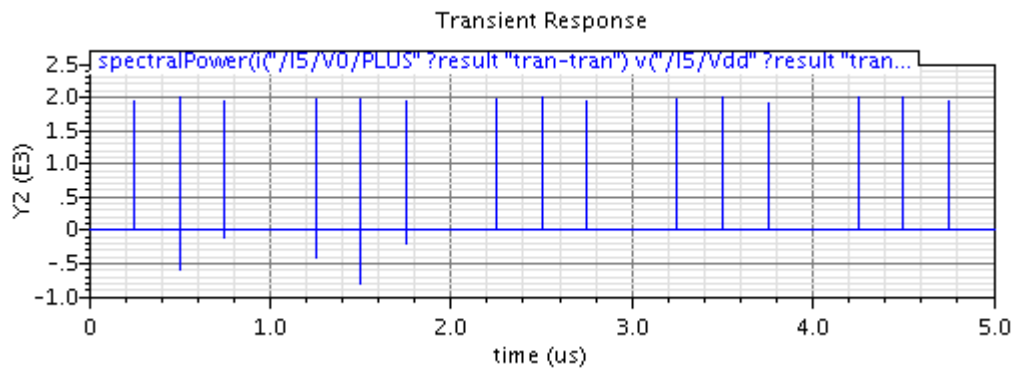


**Figura 4-9:** Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 2 V y Vdd de la compuerta eAND2 presentada en este documento.

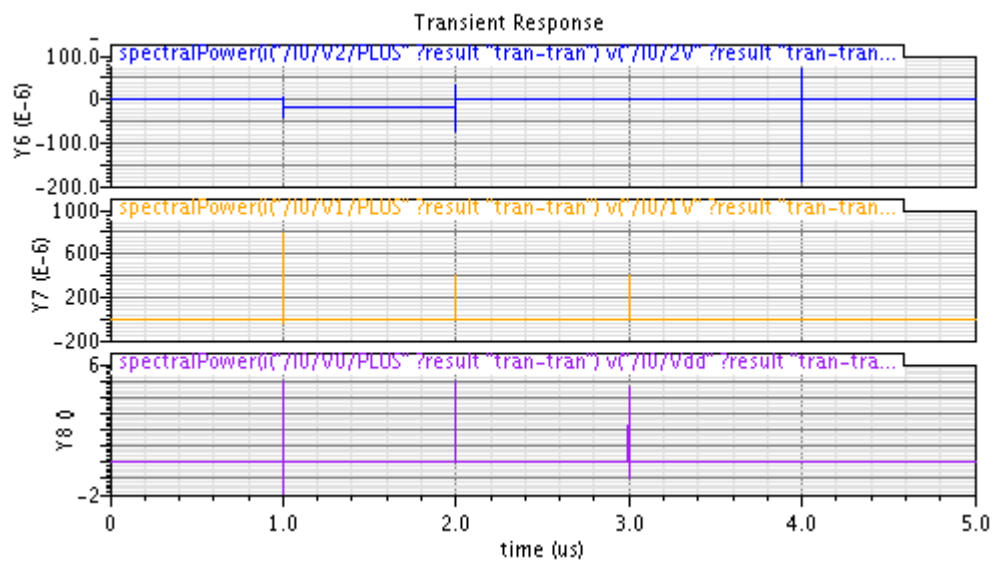


**Figura 4-10:** Gráfica resultante de la multiplicación de la corriente y el voltaje de la fuente externa Vdd de la compuerta eAND3 presentada en [3].

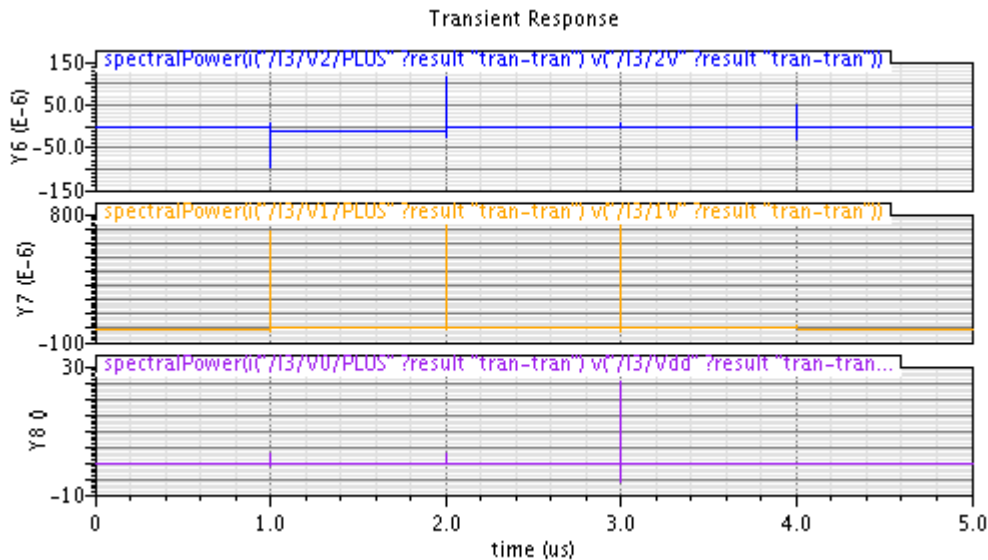




**Figura 4-11:** Gráfica resultante de la multiplicación de la corriente y el voltaje de la fuente externa Vdd de la compuerta eAND3 presentada en este documento



**Figura 4-12:** Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 1 V, 2 V y Vdd de la compuerta Sucesor presentada en [3].



**Figura 4-13:** Gráfica resultante de la multiplicación de la corriente y el voltaje de las fuentes externas de 1 V, 2 V y Vdd de la compuerta Sucesor presentada en este documento.

En general el consumo de potencia se logró disminuir en su mayoría, los valores dieron muy similares, sin embargo también se evidenció el caso de la compuerta eAND2 que tuvo más bien un aumento de 73 % aproximadamente, pero para las otras compuertas sí se redujo significativamente el consumo.

**Tabla 4-3:** Potencia de los circuitos

Potencia dinámica				
		Circuitos previos( $\mu W$ )	Este documento( $\mu W$ )	porcentaje de cambio(%)
eAND1	Vdd	57.66	—	-
	1 V	1.176	1.208	-2.72
eAND2	Vdd	356.5	355.7	0.22
	2 V	3.927	6.795	-73.03
eAND3	Vdd	63.57	13.31	79.06
Sucesor	Vdd	440	442.7	-0.61
	2 V	7.818	4.459	42.96
	1 V	3.032	1.588	47.62

## 4.5. Circuito combinacional

Para evaluar el diseño de las compuertas que se presentan en este documento, se diseñó un circuito demultiplexor de 4 canales (figura 4-14), descrito por las ecuaciones 4-31 donde  $In$  es la entrada del circuito,  $Selec$  es el seleccionador de canal y  $O_1, O_2, O_3, O_4$  son las 4 salidas. Con ayuda del programa CADENCE Virtuoso se construyó el circuito (figura 4-15) donde cada bloque es un canal y cada canal tiene una lógica diferente como se muestra en las ecuaciones 4-31, respectivamente, por lo tanto se construyeron por separado para probar individualmente el funcionamiento y comodidad.

Se simuló el circuito de la figura 4-15 para verificar el funcionamiento, y el resultado fue figura 4-16, se puede observar en el canal que se escoja con el controlador, muestra los datos de la entrada.

Se diseñó un demultiplexor en vez de un decodificador debido a que no se puede hacer un decodificador cuaternario.

$$\begin{aligned}
 O_1 &= In *^1 (Selec)^1 + In *^2 (Selec)^2 + In *^3 (Selec)^3 \\
 O_2 &= In *^1 Selec + In *^2 (Selec)^1 + In *^3 (Selec)^2 \\
 O_3 &= In *^2 Selec + In *^3 (Selec)^1 + In *^1 (Selec)^3 \\
 O_4 &= In *^3 Selec + In *^1 (Selec)^2 + In *^2 (Selec)^3
 \end{aligned}
 \tag{4-31}$$

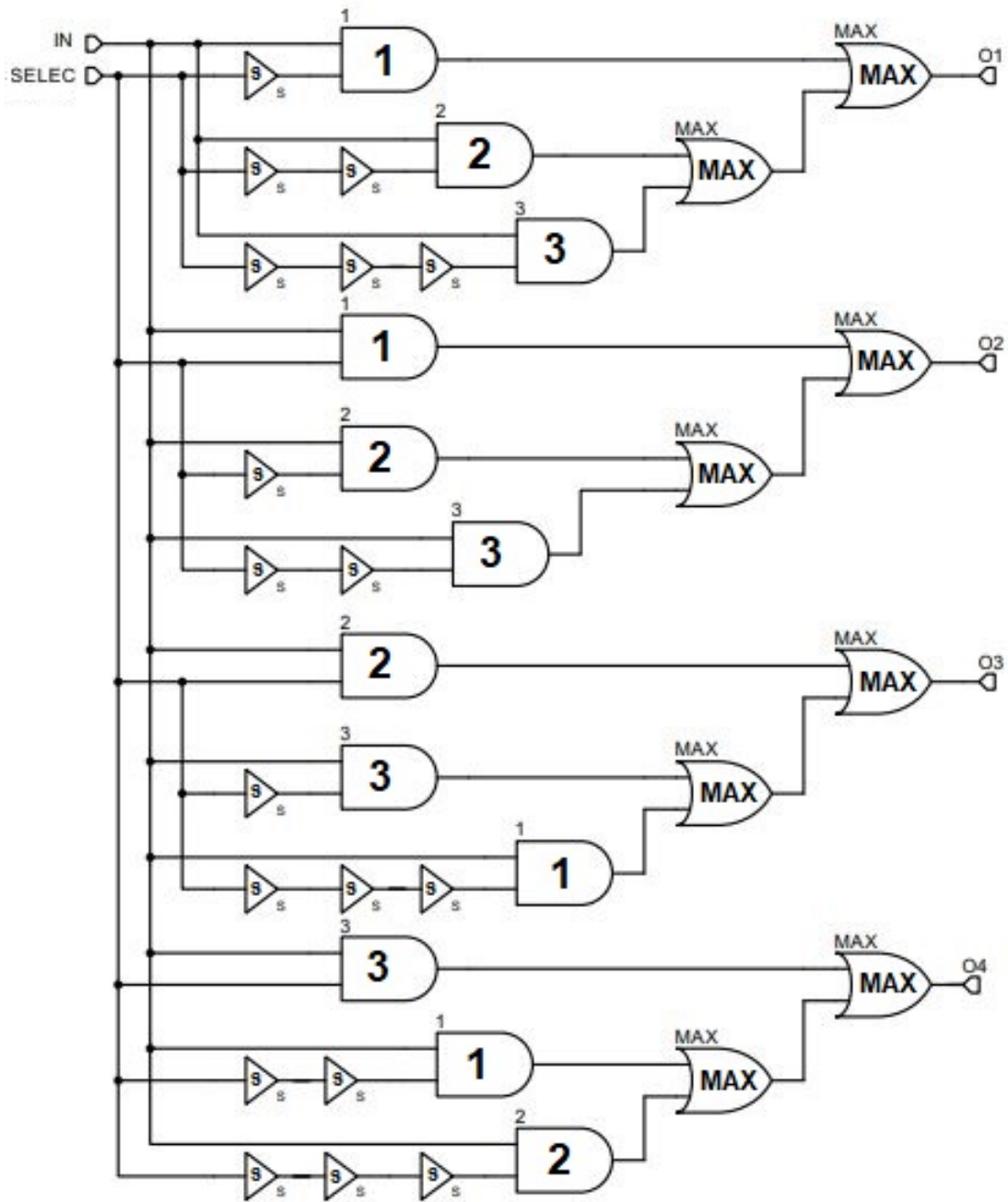


Figura 4-14: Diseño del demultiplexor de cuatro canales cuaternario

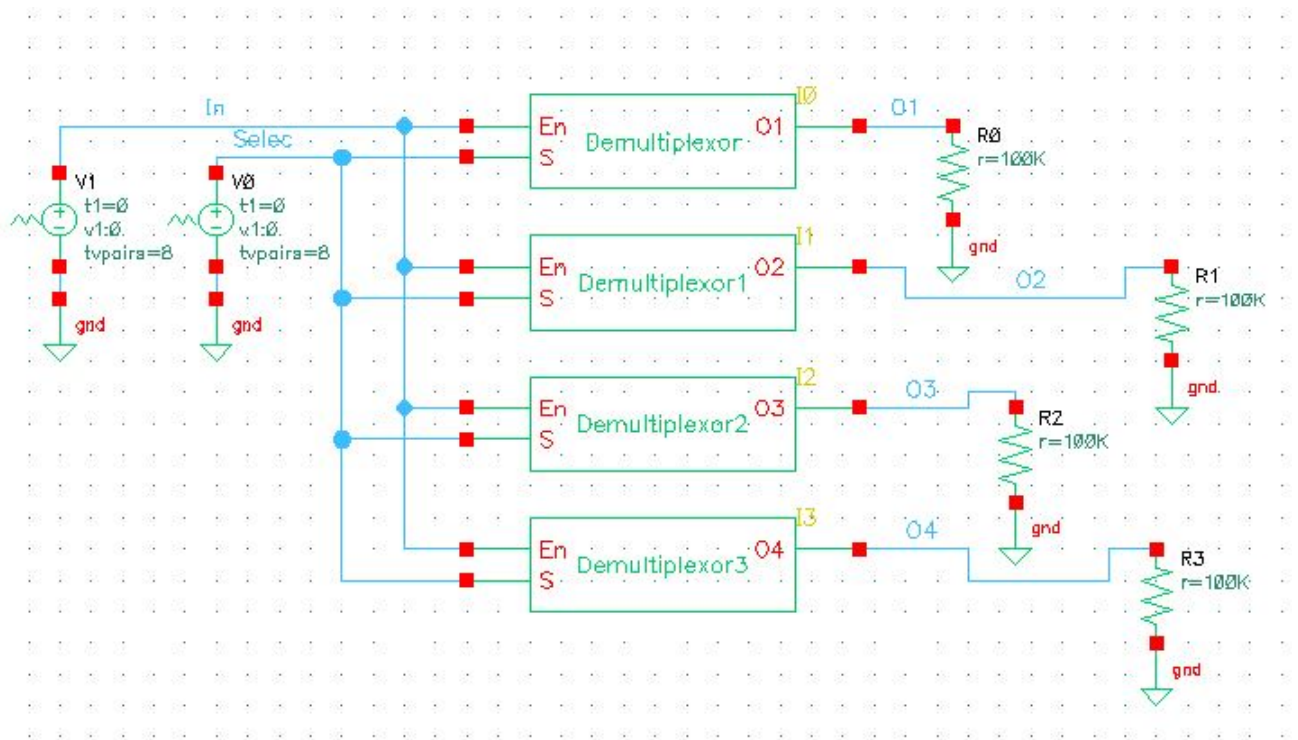


Figura 4-15: Circuito esquemático para el demultiplexor

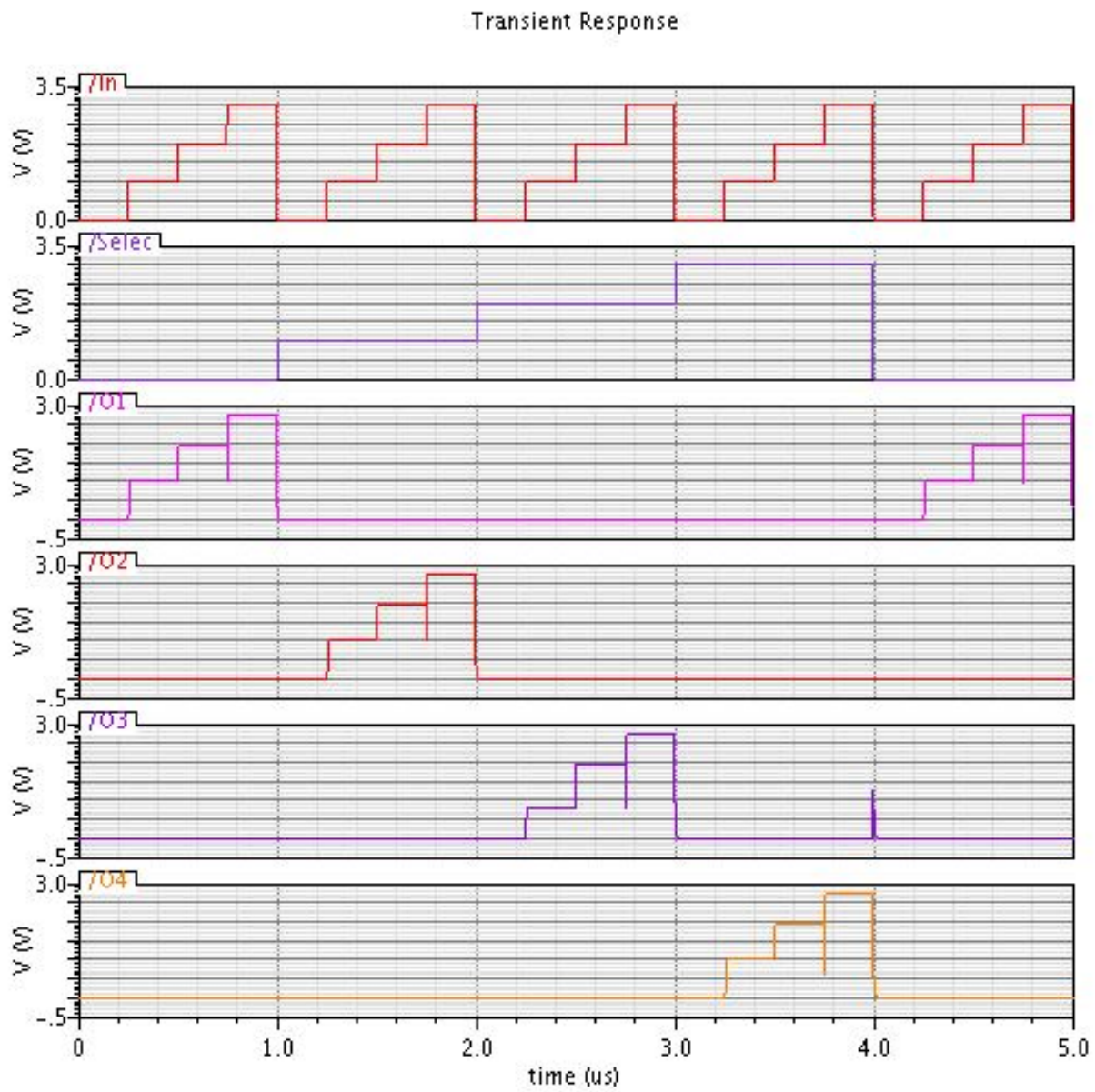


Figura 4-16: Simulación del circuito para el demultiplexor

## 5 Conclusiones

En este documento se propone un diseño para los circuitos de las compuertas cuaternarias: eAND1, eAND2, eAND3 y sucesor con menor área de utilización y conservando la funcionalidad.

Se midieron algunos parámetros tanto para las presentadas anteriormente en [3], como para las propuestas aquí, parámetros como: el slew rate y la potencia dinámica. En general, se obtuvieron mejoras, como por ejemplo antes la velocidad máxima para la compuerta sucesor era de  $4566.9 V/\mu s$  y ahora es de  $8025.5 V/\mu s$ , también para el consumo de potencia que aunque los valores dieron muy cercanos a el anterior, se consigue disminuir en algunos casos, como por ejemplo la compuerta eAND3 consume 79.06 % menos.

Los resultados que se obtuvieron para el área fueron significativos logrando hasta un 76.89 % de reducción, en el circuito de la compuerta eAND2 y en el peor de los casos fue 16.47 %, compuerta eAND1, que aun así se considera significativo.

Se diseñó un circuito combinacional (demultiplexor 1 a 4) que incluyera todas las compuertas lógicas cuaternarias, de manera que se pudiera comprobar el correcto funcionamiento de las mismas.

### 5.0.1. Trabajos Futuros

Como trabajos futuros, se propone mejorar el margen de ruido de las compuertas ya que es muy pequeño y podría verse afectado con facilidad con cualquier ruido ya sea de la fuente o externo.

Cambiar los interruptores que hay a la salida de los circuitos de las compuertas ya que se evidencia que se están generando glitch, los glitches no afectan negativamente el sistema pero se ve reflejado.

Mejorar aun mas el área de utilización para los circuitos de las compuertas cuaternarias, la tecnología permite reducir aun mas el área de los transistores.





# Bibliografía

- [1] PhD W. Merlijn van Spengen. High voltage amplifiers: how fast are they really?, March 2016.
- [2] Wikipedia. Puerta not — wikipedia, la enciclopedia libre, 2020. [Internet; descargado 16-julio-2020].
- [3] ME Romero Romero, E Mazina Martins, DCA Arigoni, A de M Nogueira, and ME Duarte-González. Voltage cmos quaternary gates for digital designs. In *2019 IEEE 10th Latin American Symposium on Circuits & Systems (LASCAS)*, pages 13–16. IEEE, 2019.
- [4] Shweta S Dawley and Pradnya A Gajbhiye. Design and comparative analysis of binary and quaternary logic circuits. In *2016 World Conference on Futuristic Trends in Research and Innovation for Social Welfare (Startup Conclave)*, pages 1–6. IEEE, 2016.
- [5] Claude Elwood Shannon. A mathematical theory of communication. *Bell system technical journal*, 27(3):379–423, 1948.
- [6] Milton ER Romero, Evandro M Martins, and Ricardo R Santos. Multiple valued logic algebra for the synthesis of digital circuits. In *2009 39th International Symposium on Multiple-Valued Logic*, pages 262–267. IEEE, 2009.
- [7] Milton Ernesto Romero, Evandro Mazina Martins, Ricardo Ribeiro dos Santos, and Mario Enrique Duarte Gonzalez. Universal set of cmos gates for the synthesis of multiple valued logic digital circuits. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 61(3):736–749, 2013.
- [8] Ricardo Cunha G da Silva, Henri Boudinov, and Luigi Carro. A novel voltage-mode cmos quaternary logic design. *IEEE Transactions on Electron devices*, 53(6):1480–1483, 2006.
- [9] N. K. Naware, D. S. Khurge, and S. U. Bhandari. Review of quaternary algebra its logic circuits. In *2015 International Conference on Computing Communication Control and Automation*, pages 969–973, 2015.

- 
- [10] D. P. Borkute, P. Patel, and P. K. Dakhole. Delay performance and implementation of quaternary logic circuits. In *2015 International Conference on Computing Communication Control and Automation*, pages 1008–1012, 2015.
- [11] A. Sheikholeslami, R. Yoshimura, and P. G. Gulak. Look-up tables (luts) for multiple-valued, combinational logic. In *Proceedings. 1998 28th IEEE International Symposium on Multiple- Valued Logic (Cat. No.98CB36138)*, pages 264–269, 1998.
- [12] T. Hanyu, A. Mochizuki, and M. Kameyama. Multiple-valued dynamic source-coupled logic. In *33rd International Symposium on Multiple-Valued Logic, 2003. Proceedings.*, pages 207–212, 2003.
- [13] Z. Zilic and Z. G. Vranesic. Multiple-valued logic in fpgas. In *Proceedings of 36th Midwest Symposium on Circuits and Systems*, pages 1553–1556 vol.2, 1993.
- [14] M. H. A. Khan. Quaternary quantum algorithm for determining properties of quaternary logic function. In *14th International Conference on Computer and Information Technology (ICCIT 2011)*, pages 1–5, 2011.
- [15] M. H. A. Khan. Synthesis of incompletely specified multi-output quaternary function using quaternary quantum gates. In *2007 10th international conference on computer and information technology*, pages 1–6, 2007.
- [16] K. M. Ishtiak, Safayat-Al-Imam, and N. A. Mahmud. Design and embodiment of larger quaternary multiplexer and demultiplexer. In *2014 International Conference on Electrical Engineering and Information Communication Technology*, pages 1–5, 2014.
- [17] S. Hajare and P. Dakhole. Design of adders with quaternary logic. In *2015 International Conference on Industrial Instrumentation and Control (ICIC)*, pages 599–601, 2015.
- [18] M. S. E. Sendi, A. Khorami, S. Kananian, M. Sharifkhani, and A. M. Sodagar. Low-power cmos voltage-mode quaternary latched comparator. In *2015 23rd Iranian Conference on Electrical Engineering*, pages 1083–1088, 2015.
- [19] M. S. E. Sendi, M. Sharifkhani, and A. M. Sodagar. Cmos-compatible structure for voltage-mode multiple-valued logic circuits. In *2011 18th IEEE International Conference on Electronics, Circuits, and Systems*, pages 438–441, 2011.
- [20] Wu Haixia, Zhong Shunan, Sun Zhentao, Qu Xiaonan, and Chen Yueyang. Design of low-power quaternary flip-flop based on dynamic source-coupled logic. In *2011 International Conference on Electronics, Communications and Control (ICECC)*, pages 826–828. IEEE, 2011.

- 
- [21] Evandro Mazina Martins and Milton Ernesto Romero Romero. Voltage mode multiple valued analog to quaternary mapping. *IEEE Latin America Transactions*, 16(3):792–798, 2018.
- [22] Mohammad S Eslampanah Sendi, Mohammad Sharifkhani, and Amir M Sodagar. Cmos-compatible structure for voltage-mode multiple-valued logic circuits. In *2011 18th IEEE International Conference on Electronics, Circuits, and Systems*, pages 438–441. IEEE, 2011.
- [23] Enrique Mandado Pérez, Enrique Mandado, and Yago Mandado. *Sistemas electrónicos digitales*. Marcombo, 2007.
- [24] Wikipedia. Electrónica digital — wikipedia, la enciclopedia libre, 2019. [Internet; descargado 27-junio-2020].
- [25] Wikipedia. Circuito digital — wikipedia, la enciclopedia libre, 2020. [Internet; descargado 12-julio-2020].
- [26] Wikipedia. Código binario — wikipedia, la enciclopedia libre, 2020. [Internet; descargado 27-junio-2020].
- [27] Wikipedia. Álgebra de boole — wikipedia, la enciclopedia libre, 2020. [Internet; descargado 27-junio-2020].
- [28] MARIO ENRIQUE DUARTE GONZÁLEZ. Projeto e implementaÇ, ão dos operadores lÓgicos para a Álgebra de mÚltiplos valores. Master’s thesis, UNIVERSIDADE FEDERAL DE MATO GROSSO DO SUL, 2011.
- [29] G. Prasad and R. Kusuma. Statistical (m-c) and static noise margin analysis of the sram cells. In *2013 Students Conference on Engineering and Systems (SCES)*, page 1, 2013.